

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03333817 **Image available**

DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO. : 02-309317 [JP 2309317 A]

PUBLISHED: December 25, 1990 (19901225)

INVENTOR(s): FUKUDA SHUSUKE

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO. : 01-132121 [JP 89132121]

FILED: May 24, 1989 (19890524)

INTL CLASS: [5] G02F-001/133; G09G-003/36; H04N-005/66

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.6
(COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1177, Vol. 15, No. 99, Pg. 21, March
11, 1991 (19910311)

ABSTRACT

PURPOSE: To obtain the driving circuit for a large screen and high image quality by storing the digital video signals consisting of a series of picture element data of a prescribed number of bits successively by each one line into a shift register circuit and outputting the signals as analog video signals to source electrodes of the corresponding picture elements.

CONSTITUTION: The digital video signals Vd consisting of a series of the picture element data of the prescribed number of bits are successively stored by one line each into the shift register circuit 2 and the picture element data for one line are outputted to and held in a latch circuit 3. A pulse width modulating circuit 4 executes the pulse width modulation of the respective sets of the picture element data for one line inputted from the latch circuit 3 and outputs the same as the analog video signal to the source electrodes of the corresponding picture elements of a thin-film transistor (TFT) array 9. The video signals are not inaccurate even if the writing time permitted for the picture element data is shortened by an increase in the number of the picture elements in the TFT array for the high screen and high image quality. In addition, the need for a costly decoder and driving voltage circuit is eliminated.

?

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008537145 **Image available**

WPI Acc No: 1991-041208/199106

XRPX Acc No: N91-031643

Drive circuit for active-matrix liquid-crystal video display - has pixel
data latch circuit connected to output of video signal line shift
register NoAbstract Dwg 1/6

Patent Assignee: SHARP KK (SHAF)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2309317	A	19901225	JP 89132121	A	19890524	199106 B

Priority Applications (No Type Date): JP 89132121 A 19890524

Title Terms: DRIVE; CIRCUIT; ACTIVE; MATRIX; LIQUID; CRYSTAL; VIDEO;
DISPLAY; PIXEL; DATA; LATCH; CIRCUIT; CONNECT; OUTPUT; VIDEO; SIGNAL;
LINE; SHIFT; REGISTER; NOABSTRACT

Derwent Class: P81; P85; T04; U14; W03

International Patent Class (Additional): G02F-001/13; G09G-003/36;
H04N-005/66

File Segment: EPI; EngPI

⑫ 公開特許公報(A)

平2-309317

⑬ Int. Cl.

G 02 F 1/133
G 09 G 3/36
H 04 N 5/66

識別記号

5 5 0
1 0 2 B

庁内整理番号

7709-2H
8621-5C
7605-5C

⑭ 公開 平成2年(1990)12月25日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 液晶表示装置の駆動回路

⑯ 特 願 平1-132121

⑰ 出 願 平1(1989)5月24日

⑱ 発 明 者 福 田 秀 典 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑲ 出 願 人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 青 山 葆 外1名

明 細 書

1. 発明の名称

液晶表示装置の駆動回路

2. 特許請求の範囲

(1) 薄膜トランジスタアレイからなるアクティブマトリックス表示装置のソースラインを駆動する駆動回路において、

一連の所定ビット数の画素データからなるデジタル映像信号を1ラインずつ逐次格納するシフトレジスタ回路と、このシフトレジスタ回路から入力される1ライン分の画素データを保持するラッチ回路と、このラッチ回路から入力される1ライン分の各画素データをパルス幅変調して薄膜トランジスタアレイの対応する画素のソース電極にアナログ映像信号として出力するパルス幅変調回路を備えたことを特徴とする液晶表示装置の駆動回路。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、薄膜トランジスタ(以下TFTと略

す)アレイからなるアクティブマトリックス表示装置のソースラインに映像信号を供給して、液晶を駆動する液晶表示装置の駆動回路に関する。

<従来の技術>

従来、この種の液晶表示装置の駆動回路として、例えば第5図あるいは第7図に示すようなものが知られている。第5図に示す駆動回路は、タイミング発生回路21からのサンプリングクロックC、とスタートパルスP、でシフトレジスタ回路22を駆動して、サンプリングゲート回路23を順次起動させながら、このサンプリングゲート回路23に入力されるアナログの映像信号V_aを1水平走査期間毎にそのコンデンサ24(第6図参照)に蓄え、次いでこれをタイミング発生回路21からのラッチパルスP₂を受けるラッチゲート回路25のコンデンサ26(第6図参照)でホールドし、ホールドした1ライン分のアナログ信号を次の1水平走査期間でTFTアレイ27の各ソースラインに出力回路28を経て同時出力するとともに、次の1水平走査期間の映像信号V_aをサンプリ

ゲート回路23に並行して取り込むようになっていゝ。一方、TFTアレイ27の各ゲートラインには、タイミング発生回路21の制御信号を受けるゲート駆動回路28から走査パルスが出力され、これによってTFTアレイ27の各画素がその映像信号に応じて順次駆動され、画像が表示される。つまり、この駆動回路は、第8図に示すように、入力されるアナログの映像信号 V_s を、1ライン分ずつシフトレジスタ回路22からのサンプリングパルス P_s に基づいてサンプリングゲート回路23に格納し、次いでラッチパルス P_L を受けるラッチゲート回路25でホールドした後、出力回路26を経て出力するのである。

一方、第7図に示す駆動回路は、シフトレジスタ2をクロック C で駆動して $n+1$ ビットの画素データ $P_i(D_1, \dots, D_{n+1})$ の n 個の集合($i=1 \sim n$)からなる1ライン分のデジタルの映像信号 V_d を順次格納し、次にこれをラッチパルス P_L を受けるラッチ3でホールドし、ホールドした1ライン分のデジタル信号を次の1水平走査期間で夫々

や画素データのビット数が増大すると多くのデコーダ31や多くの電圧値が必要になって配線等が複雑化するうえ、駆動回路が複雑かつ高価になるという欠点がある。

そこで、本発明の目的は、サンプリング時間の制約を受けぬデジタルの映像信号を駆動回路に入力するとともに、デコーダや駆動電圧選択回路のいゝ画素かつ安価な構成をもって、大画面、高画質のTFTアレイをも十分駆動できる液晶表示装置の駆動回路を提供することである。

<課題を解決するための手段>

上記目的を達成するため、本発明の液晶表示装置の駆動回路は、薄膜トランジスタアレイからなるアクティブマトリックス表示装置のソースラインを駆動するものにおいて、一連の所定ビット数の画素データからなるデジタル映像信号を1ラインずつ逐次格納するシフトレジスタ回路と、このシフトレジスタ回路から入力される1ライン分の画素データを保持するラッチ回路と、このラッチ回路から入力される1ライン分の各画素データ

デコーダ31によりアナログ信号に変換し、変換値に応じた外部供給電圧値 V_0, \dots, V_k を選択してTFTアレイ27の各ソースラインに同時出力するとともに、次の1ライン分の映像信号 V_d を並行して取り込むようになっている。

<発明が解決しようとする課題>

ところが、第5図に示す駆動回路は、アナログの映像信号 V_s を入力する方式であるため、大画面、高画質のTFTアレイ27のように1ラインの画素数が増大すると、1つの画素データに許されるサンプリング時間が短くなり、サンプリングゲート回路23のコンデンサ24の充電時間が不十分になって、映像信号 V_s を正確に取り込めなくなり、TFTアレイ27の表示品質が悪化するという欠点がある。

また、第7図に示す駆動回路は、各画素データを夫々デコーダ31でアナログ信号に変換し、変換値に応じた外部供給電圧値 V_0, \dots, V_n を選択して各ソースラインに出力する方式であるため、大画面、高画質のTFTアレイ27のように画素数

をパルス幅変調して薄膜トランジスタアレイの対応する画素のソース電極にアナログ映像信号として出力するパルス幅変調回路を備えたことを特徴とする。

<作用>

一連の所定ビット数の画素データからなるデジタル映像信号は、シフトレジスタ回路に1ラインずつ逐次格納され、次いで1ライン分の画素データがラッチ回路に出力されて保持される。パルス幅変調回路は、上記ラッチ回路から入力される1ライン分の各画素データをパルス幅変調して薄膜トランジスタ(TFT)アレイの対応する画素のソース電極にアナログ映像信号として出力する。従って、大画面、高画質のTFTアレイにおいて画素数の増大で1つの画素データに許される寄与時間が短くなっても、従来のアナログ映像信号入力方式のように取り込んだ映像信号が不正確にならず、TFTアレイの表示品質が悪化しない。また、ラッチ回路からの各画素データをパルス幅変調してアナログ映像信号として出力するので、従

来のディジタル映像信号入力方式のような複雑で高価なデコーダや駆動電圧回路が不要になる。

<実施例>

以下、本発明を図示の実施例により詳細に説明する。

第1図は本発明の液晶表示装置の駆動回路の一実施例を示すブロック図であり、1は同期信号Sを受けてクロックC₁、ラッチパルスP_rなどのタイミング信号を発生するタイミング発生回路、2は上記クロックC₁を受けてn+1ビットの画素データP₁(D_n, ..., D₀)のn個の組合(i=1~n)(第7図参照)からなる1ライン分のディジタルの映像信号V_dを順次格納するシフトレジスタ回路、3は上記ラッチパルスP_rを受けてシフトレジスタ回路2からの1ライン分の画素データを1水平走査期間の間保持するラッチ回路、4はこのラッチ回路3から入力される1ライン分の画素データを、クロックC₁によりタイミング発生器5で発生される比較用信号C₁に基づいてパルス幅変調(PWM)するパルス幅変調回路である。

ータを格納する。

上記タイミング発生回路5は、第3図に示すように、4個のディレイドフリップフロップ13を直列に接続してなる4ビットの2進カウンタであり、最下段のフリップフロップに入力されるクロックC₁を計数し、計数結果を4ビットの比較用信号C₁(Q₃, ..., Q₀)としてパルス幅変調回路4に出力する。また、パルス幅変調回路4は、n個の4ビットコンパレータ14を並列に配置してなり、各コンパレータ14は、一方の入力端子にラッチ回路3から入力される対応する画素データP₁(D_n, ..., D₀)を上記比較用信号(Q₃, ..., Q₀)と比較して、P₁がC₁よりも大きいとき"1"を、P₁がC₁よりも大きくないとき"0"を夫々出力信号P₀として出力する。つまり、比較用信号C₁はクロックC₁が1つ入力されるたびにインクリメントし、これが画素データP₁以上になると、それまで"1"であった出力信号P₀が"0"になるから、2進カウンタたるタイミング発生回路5の計数一掃期間に対する上記出力信号P₀が"1"である期間の比で

また、6は1フィールドまたは1水平走査期間毎に上記パルス幅変調回路4の出力信号を反転させるデータ反転回路、7はこのデータ反転回路6からの出力信号のレベルをシフトするレベルシフト回路、8はこのレベルシフト回路7の出力信号をアナログの動作電圧に変換してTFTアレイ9の各ソースライン10、10'...に供給する出力回路、12はタイミング発生回路1からの制御信号C₂を受けてTFTアレイ9の各ゲートライン11、11'...に走査パルスを供給するゲート駆動回路である。

上記シフトレジスタ回路2は、画素データが例えば4ビットである場合、第2図に示すようにn回のクロックC₁に同期して1ライン分の画素データP₁(D_n, ..., D₀)(i=1~n)を順次格納する一方、上記ラッチ回路3は、格納完了時に入力されるラッチパルスP_rを受けて、シフトレジスタ回路2から1ライン分の格納画素データを取り込んでこれを1水平走査期間の間保持し、この間にシフトレジスタ回路2が次の1ライン分の画素デ

出力信号P₀のパルスデューティが一意的に決まり、画素データがパルス幅変調されるのである。さらに、データ反転回路6は、上記パルス幅変調回路4の各出力信号P₀を一方の入力端子に受け、他方の入力端子にタイミング発生器5からの共通の極性切換信号C₂を受け、n個の排他的論理和ゲート15からなる。そして、極性切換信号C₂が、タイミング発生回路5の計数一掃期間(クロックC₁の2個分の期間)即ち1水平走査期間毎に"1"、"0"と交互に変化するようにになっている。従って、パルス幅変調された上記出力信号P₀は、極性切換信号C₂が"0"のときは、そのまま出力され、"1"のときは反転して出力される。

上記レベルシフト回路7は、第4図に示すように、データ反転回路6からのパルス幅変調された各出力信号をTFTアレイ9のダイナミックレンジに適合するようにレベルシフトさせ、レベルシフトさせた信号を抵抗16を介してコンデンサ17に入力して、パルスデューティに応じたアナログの電圧値をコンデンサ17の端子に得る。また、

出力回路8は、各コンデンサ17の端子電圧を維持して出力するn個のボルテージフォロワ18からなる。

上記構成の液晶表示装置の駆動回路の動作について次に述べる。

n個の4ビットの画素データ $P_i(D_3, \dots, D_0)$ ($i=1 \sim n$)からなる1ライン分のデジタル映像信号 V_d は、クロック C_1 に同期してシフトレジスタ回路2に順次格納され、次いでラッチパルス P_r を受けるラッチ回路3に取り込まれてここで1水平走査期間の間保持される一方、この間に次の1ライン分の映像信号 V_d がシフトレジスタ回路2に格納される。ラッチ回路3に保持された各画素データ P_i は、タイミング発生器5からの比較用信号 C_2 を受けるパルス幅変調回路4によってデータに対応するパルスデューティをもつ出力信号 P_0 に変換され、極性切換信号 C_3 を受けるデータ反転回路6を経て1水平走査期間毎に反転されてレベルシフト回路7に出力される。従って、例えば最初の1ライン分の画素データの第1画素デ

ータ P_1 が $P_1(0, 0, 1, 1)$ の場合、変換された出力信号 P_0 は、16クロックに相当するパルス全幅のうち3クロック分が“1”で13クロック分が“0”である3/16のデューティをもつパルスとしてそのままレベルシフト回路7に出力され、次の1ライン分の同じ画素データ $P_1(0, 0, 1, 1)$ の出力信号 P_0 は、上記パルスを反転した3クロック分が“0”で13クロック分が“1”である13/16のデューティをもつパルスとなってレベルシフト回路7に出力される。次いで、レベルシフト回路7は、データ反転回路6からの1ライン分の上記出力信号をアナログの動作電圧に変換して、出力回路8を介してTFTアレイ9の各ソースライン10, 10, ...に供給する。一方、TFTアレイ9の各ゲートライン11, 11, ...には、ゲート駆動回路12から走査パルスが出力され、これによってTFTアレイ9の各画素が上記動作電圧に応じて順次駆動され、画像が表示される。

このように、上記実施例では、デジタルの映像信号 V_d を1ライン分ずつ直接シフトレジスタ

回路2に格納し、これをラッチ回路3で1水平期間の間保持するとともに、ラッチ回路3からの各画素データを画素毎に構成のパルス幅変調回路4でパルス幅変調してアナログの映像信号を得るようにしているので、TFTアレイ9の大画面、高画質化で各画素データのシフトレジスタ回路への書込時間が短くなっても、従来のアナログ映像信号入力方式のように書き込んだ映像信号が不正値にならず、TFTアレイ9の表示品質が悪化せず、また従来のデジタル映像信号入力方式のような複雑で高価なデコードや駆動電圧回路が不要になる。

また、上記実施例では、データ反転回路6を設けてパルス幅変調された出力信号を1水平走査期間ごとに反転させているので、従来のアナログ映像信号入力方式の場合のように極性反転回路を別途設けずとも、TFTアレイ9を交流駆動することができ、TFTの液晶の寿命を延ばすことができる。さらに、デジタルの映像信号をアナログ変換する方式であるから、シフトレジスタ回路2への入力を水平走査期間に同期させる必要がなく、

外部においてノンインターレース変換などでデジタル処理された信号を直接扱うこともできる。

なお、本発明が図示の実施例に限られないのはいうまでもない。

<発明の効果>

以上の説明で明らかなように、本発明の液晶表示装置の駆動回路は、一連の所定ビット数の画素データからなるデジタル映像信号を1ラインずつシフトレジスタ回路に格納し、この1ライン分の画素データをラッチ回路で保持した後、パルス幅変調回路でパルス幅変調して、薄膜トランジスタアレイの対応する画素のソース電極にアナログ映像信号として出力するようにしているので、薄膜トランジスタアレイの大画面、高画質化で入力映像信号の書込時間が短くなっても、従来のアナログ映像信号入力方式のように書き込まれた映像信号が不正値にならず、液晶の表示品質が悪化することがない。従来、デジタル映像入力方式のような複雑で高価なデコードや駆動電圧回路が不要になって、駆動回路の低価格化を図ることが

できる。

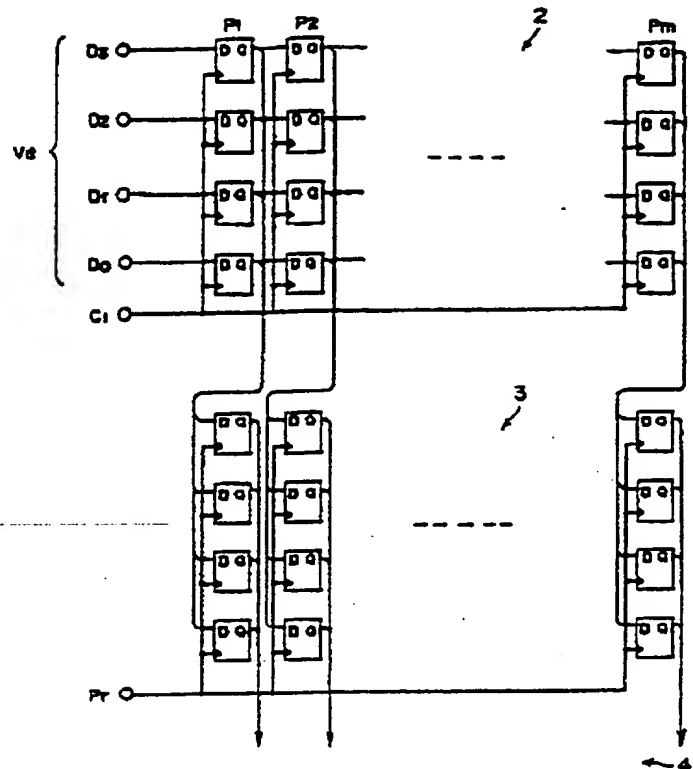
4. 図面の簡単な説明

第1図は本発明の液晶表示装置の駆動回路の一実施例を示すブロック図、第2図は第1図のシフトレジスタ回路等を示す詳細図、第3図は第1図のレベルシフト回路等を示す詳細図、第4図は第1図のレベルシフト回路等を示す詳細図、第5図は第1図のレベルシフト回路等を示す詳細図、第6図は従来のアナログ映像信号入力方式の駆動回路を示すブロック図、第7図は従来のデジタル映像信号入力方式の駆動回路を示すブロック図である。

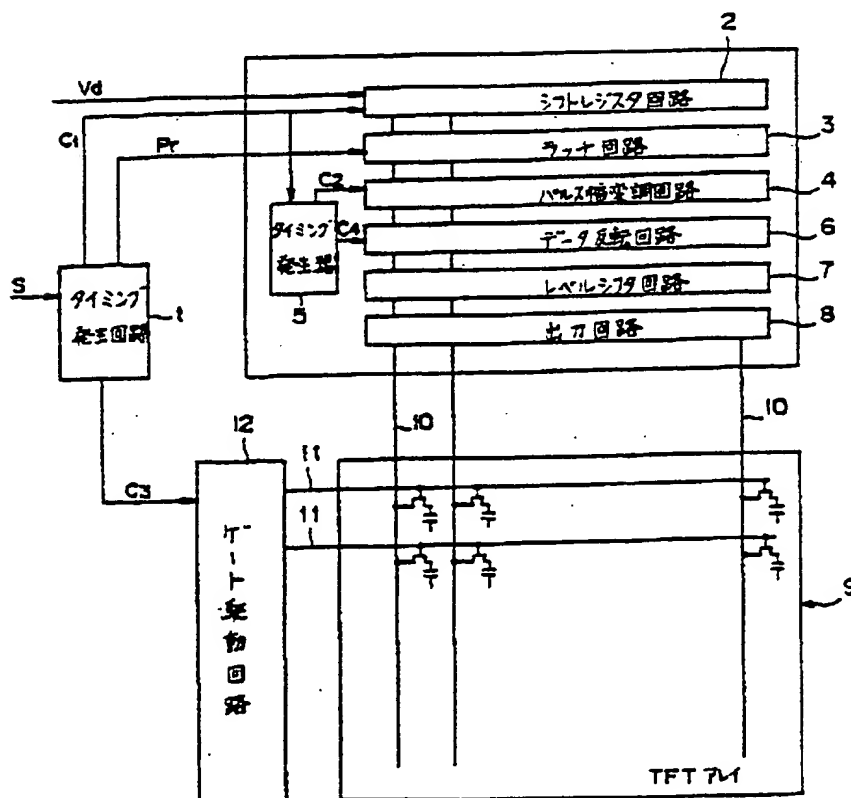
- 1…タイミング発生回路、
- 2…シフトレジスタ回路、3…ラッチ回路、
- 4…パルス幅変調回路、5…TFTアレイ、
- 10,10…ソースライン、
- 11,11…ゲートライン、
- 12…ゲート駆動回路、
- Vd…デジタル映像信号。

特 許 出 願 人 シャープ株式会社
代 理 人 弁 理 士 青 山 保 雄 ほか1名

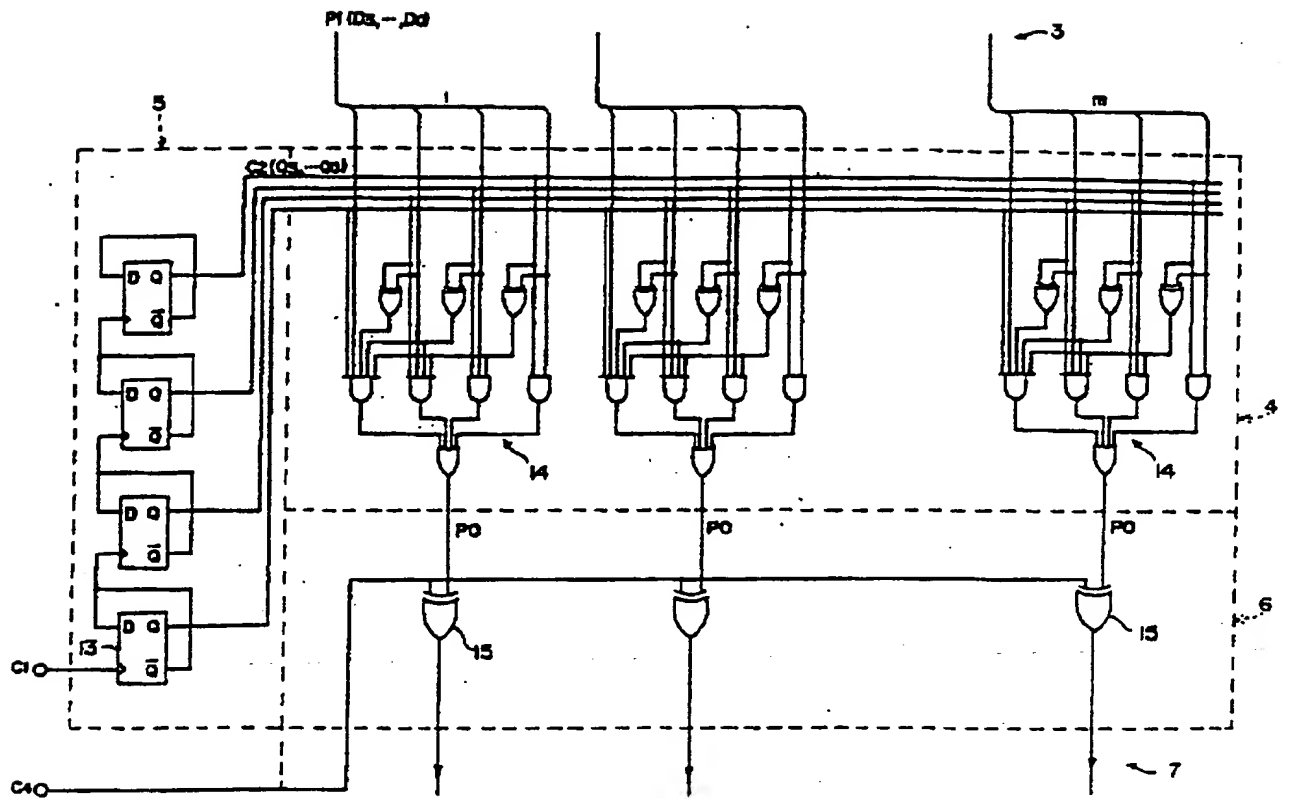
第2図



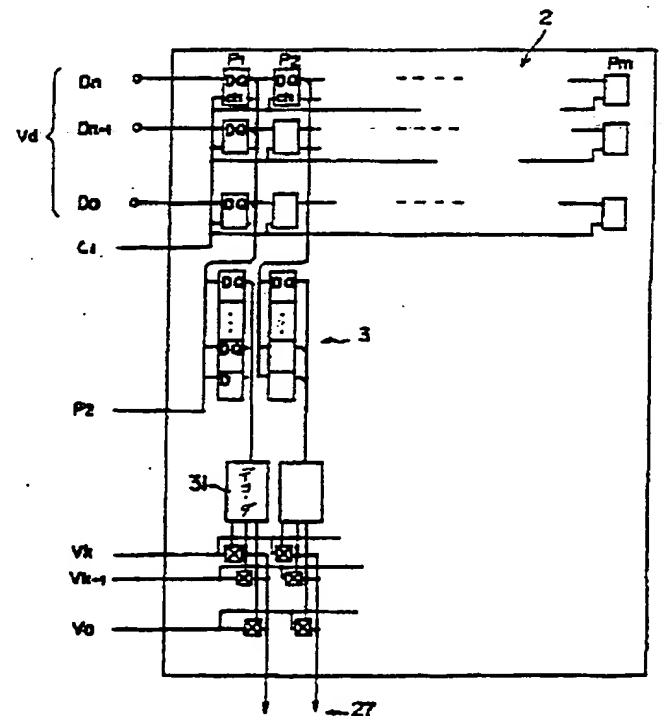
第1図



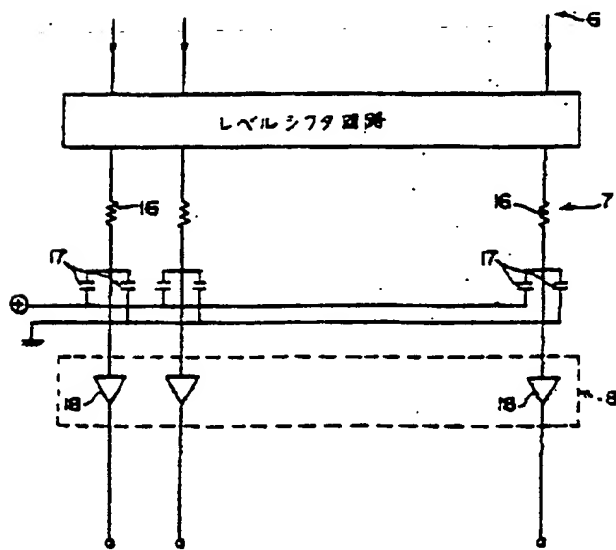
第3図



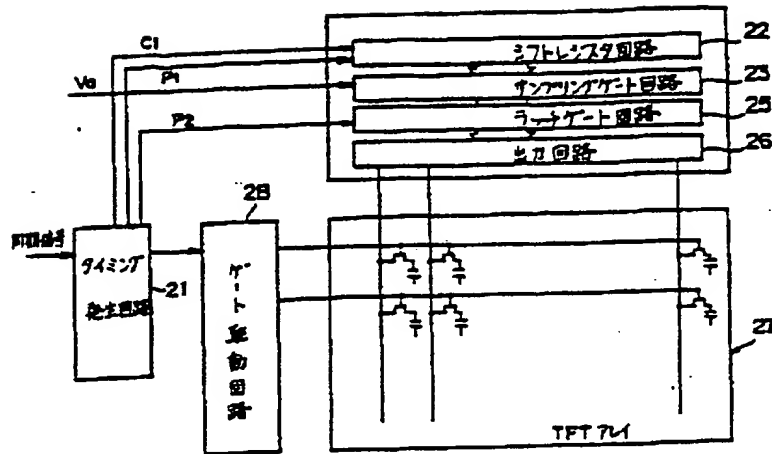
第7図



第4図



第5図



第6図

